دانشگاه صنعتی خواجه نصیرالدین طوسی
دانشکده مهندسی برق
[illegible]

۱۳۰۷

دانشگاه صنعتی خواجه نصیرالدین طوسی

دانشکده مهندسی برق و کامپیوتر

پایان‌نامه دوره کارشناسی ارشد مهندسی برق–الکترونیک

طراحی و شبیه سازی یک حلقه قفل تأخیر دیجیتال باند پهن

توسط:

محمد حدادیان نژاد یوسفی

استاد راهنما:

دکتر مهدی احسانیان

زمستان ۱۳۹۱

دانشگاه صنعتی خواجه نصیرالدین طوسی
دانشکده مهندسی برق
کتابخانه
تاریخ ثبت: ۹۲/۱/۲
شماره دفتر ثبت: ۷۲/۱۱
شماره راهنما:

Scanned by CamScanner

چکیده:

حلقه های قفل تأخیر[1] به طور گسترده در سیستم‌های مجتمع مورد استفاده قرار می‌گیرند. حلقه قفل تأخیر یک سیستم حلقه بسته ساده است که قادر است سیگنال کلاکی که رابطه‌ی فاز دقیقی با کلاک مرجع دارد را تولید کند. با توجه به اینکه سیستم حلقه بسته است، این رابطه‌ی فاز بین کلاک ورودی و خروجی، فرایند پروسه و دما را دنبال می‌کند. دقت رابطه‌ی فاز بین کلاک ورودی و خروجی به پارامترهای طراحی DLL، مشخصه های عدم تطابق در فرایند ساخت و منابع نویز قطعی مانند نویز منابع مستقل، وابسته است. کیفیت کلاک تولید شده به نوعی تعیین کننده‌ی کارایی کل سیستم می‌باشد. با توجه به مجتمع سازی ساده تر مدارهای دیجیتال و سرعت قفل شدن بیشتر DLL های دیجیتال، استفاده از DLL های دیجیتالی گسترش پیدا کرده است.

هدف از انجام این پروژه طراحی و شبیه سازی یک حلقه قفل تأخیر دیجیتال است که از لحاظ عملکرد جیتر نسبت به کارهای گذشته بهتر باشد و در فرکانسی حدود 1GHz کار کند. یکی از پارامترهای طراحی رزولوشن خط تأخیر است که باید تا حد ممکن کوچک باشد که برای DLL مورد نظر در حد 10ps کافی است. پارامتر دیگری که در طراحی لحاظ می‌شود این است که جیتر کل مدار کمتر از 30ps باشد. یکی دیگر از محدودیت‌های طراحی زمان قفل شدن است که باید کمتر از ۱۵ سیکل باشد. در طراحی انجام شده سعی شده است که سیستم تا حد ممکن ساده باشد و از مدارهای اضافی پرهیز شود.

در این پروژه با بررسی ساختارهای مختلف خط تأخیر، خط تأخیری طراحی شده است که علاوه بر اینکه هر دو لبه را تأخیر می‌دهد و دوره‌ی کارکرد[2] سیگنال را نیز کم نمی‌کند، در بازه‌ی نسبتا وسیعی عملکرد تقریبا خطی دارد. این خط تأخیر از دو خط تأخیر ظریف[3] و خط تأخیر درشت[4] تشکیل شده است. یک ساختار جدید برای خط تأخیر ظریف پیشنهاد شده است که عملکرد تقریبا خطی دارد و با استفاده از ترکیب خط تأخیر درشت و خط تأخیر ظریف، خط تأخیری با محدوده‌ی تأخیر وسیع طراحی شده است. یک مدار کنترلی جدید نیز پیشنهاد شده است که علاوه بر اینکه سرعت قفل شدن خوبی دارد و مشکل از دست دادن چند کلاک ورودی را از بین برده است، باعث بهبود عملکرد جیتر مدار می‌شود. در این پروژه یک حلقه قفل تأخیر دیجیتال باند پهن طراحی و سپس با استفاده از نرم افزارهای ADS 2009 با تکنولوژی TSMC CMOS 0.18um ، نرم افزار MATLAB Simulink و نرم افزار XILINX ISE شبیه سازی شده است.

واژه های کلیدی: حلقه قفل تأخیر دیجیتال، خط تأخیر ظریف، جیتر، پهنای باند، SAR ، آشکارساز فاز

---

[1] Delay Locked Loop

[2] Duty Cycle

[3] Fine Delay Line

Scanned by CamScanner